

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-260999

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 25/10  
25/11  
25/18  
23/12H 0 1 L 25/14  
23/12Z  
L  
B

審査請求 未請求 請求項の数1 O L (全 5 頁)

(21) 出願番号

特願平10-63111

(22) 出願日

平成10年(1998) 3月13日

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72) 発明者 山本 利重

大阪市中央区北浜4丁目5番33号 住友金  
属工業株式会社内

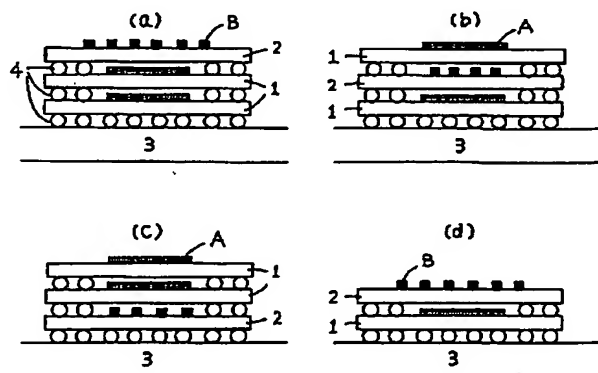
(74) 代理人 弁理士 広瀬 章一

(54) 【発明の名称】 ノイズを低減した積層半導体装置モジュール

(57) 【要約】

【課題】 BGAタイプの積層半導体装置モジュールを、マザー基板の実装密度の増大とノイズ低減効果の向上が可能となるように改良する。

【解決手段】 上面または内部に半導体素子Aを搭載し、下面に球状金属接続部材4を備えた1または2以上の回路基板1と、(b) 上面に複数の受動部品Bを搭載し、下面に球状金属接続部材4を備えた少なくとも1つの回路基板2とを、該球状金属接続部材で基板間を接続して積層して積層半導体装置モジュールを構成する。



BEST AVAILABLE COPY

## BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項 1】 (a) 上面または内部に半導体素子を搭載し、下面に球状金属接続部材を備えた 1 または 2 以上の回路基板と、(b) 上面に複数の受動部品を搭載し、下面に球状金属接続部材を備えた少なくとも 1 つの回路基板とを、該球状金属接続部材で基板間を接続して積層してなる積層半導体装置モジュール。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、積層可能な BGA (Ball Grid Array) タイプの半導体装置モジュールに関し、より詳しくは、複数の受動部品をコンパクトに搭載できる積層構造を有する BGA タイプの積層半導体装置モジュールに関する。

## 【0002】

【従来の技術】回路基板に半導体素子を搭載した半導体装置（以下、半導体パッケージともいう）は、例えば CPU モジュール等に使用する場合、多数個の半導体素子を搭載するのが一般的である。その場合、多数個の半導体素子を 1 つの回路基板に搭載するのではなく、複数の回路基板に分けて搭載し、基板間の導通を保持しながら基板を上下に積層すれば、マザー基板（実装基板）上での半導体装置の占有面積が大きく減少し、マザー基板の小型化と高密度化が実現できる。

【0003】一方、近年の半導体装置の多端子化要求と小型化要求により、実装基板との接続を球状金属からなる接続部材により行う BGA タイプの半導体装置（BGA パッケージ）が、回路基板上に外部端子を格子（アレイ）状に配置でき、しかも同じく格子状配置が可能なピン端子を用いた PGA (Pin Grid Array) パッケージより端子間隔を狭くすることができるため、盛用されるようになってきた。一般に、回路基板の外部端子となるこの球状金属にはハンダボール（高温ハンダあるいは共晶ハンダ）が使用され、この球状金属の外部端子と実装基板との接続には共晶ハンダが使用される。

【0004】両者の利点を活かした、積層 BGA パッケージモジュール（複数の BGA パッケージを積層したモジュール）のアイデアも従来からあった。例えば、特開平 4 - 280695 号公報および特開平 6 - 13541 号公報に開示されている。積層 BGA パッケージモジュールでは、上にくる回路基板の下面に設けられた球状金属からなる外部端子を用いて、隣接する回路基板間の電気的接続をとると同時に、これらの基板を物理的にも連結する。

【0005】ところで、近年、コンピュータの性能を向上させるため、マザー基板の動作スピードが向上している。動作スピードの向上は、一方で回路のノイズを増大させるという問題を招く。ノイズは回路を誤動作させる危険性があり、その低減は重要な問題である。

【0006】そこで、マザー基板にはノイズを低減させる様々な工夫がなされている。例えば、トランジスタの

ON-OFF が切り替わる時に生じるスイッチングノイズの低減には、バイパスコンデンサを半導体装置の近傍に、または半導体装置そのものに搭載することがよく知られている。また、信号の反射を抑制するためには、信号ラインの終端に終端抵抗を挿入する方法が有名である。そのため、マザー基板に搭載される、コンデンサ、抵抗等のノイズ低減に使用される受動部品の数は増える傾向にある。

【0007】これら個々の受動部品のほとんどは、表面実装できるようにチップ部品化されており、通常は、図 1 の平面図に示すように、マザー基板上の半導体装置（パッケージ）の近傍に配置される。チップ部品化されているため、それによるマザー基板上のスペースの占有は従来は許容されてきた。しかし、チップ部品の数が増えると、チップ部品が占めるスペースが無視できなくなる。即ち、従来の積層半導体装置モジュールでは、実装密度が増大するのは、半導体装置の部分だけであり、数多くの受動部品は、チップ部品化してもマザー基板に平面的に搭載しなければならず、受動部品については実装密度が向上しない。

【0008】また、上記のノイズ低減用の受動部品は、半導体装置の近くに配置しなければ期待した効果を発揮しない。バイパスコンデンサ等をマザー基板ではなく、半導体装置に搭載するのは、このためである。

【0009】上述の積層半導体装置モジュールは、半導体装置については実装密度の向上に有効である。しかし、このように三次元的な実装を行うと、それぞれ半導体素子を搭載した個々の回路基板には、受動部品を搭載するスペースがない。従って、必要な受動部品はマザー基板に搭載しなければならなかった。受動部品のノイズ低減効果は半導体素子に近い方が良くなる。このため、従来の積層半導体装置モジュールは、ノイズを十分に低減することができにくかった。

## 【0010】

【発明が解決しようとする課題】このように、従来の BGA タイプの積層半導体装置モジュールでは、モジュール内部（半導体素子のごく近傍）にノイズ低減用受動部品を搭載することができず、半導体素子から遠いマザー基板に搭載するため、ノイズ低減効果が十分でないという問題と、数多くの受動部品をマザー基板に搭載するため、受動部品によりマザー基板のスペースが占有され、それほど実装密度が向上しないという問題があった。

【0011】本発明の目的は、ノイズ低減効果を十分に発揮させることができ、かつさらに実装密度の向上が可能な積層半導体装置モジュールを提供することである。

## 【0012】

【課題を解決するための手段】上記課題を解決するには、マザー基板のスペースを占有してしまう受動部品群を積層半導体装置モジュールの内部に搭載することが有効である。しかし、上述したように、積層された各回路

基板間には、上下の回路基板同士を接続する数多くの球状金属接続部材が配置されており、受動部品を搭載できるスペースはごくわずかしがなく、多くの受動部品を搭載できない。

【0013】そのため、本発明によれば、受動部品用の専用の回路基板を別に用意し、この基板に受動部品と一緒に搭載し、半導体素子を搭載した他の回路基板と積層して積層半導体装置モジュールとすることにより、上記課題を解決する。この受動部品用の回路基板には半導体素子を搭載しないため、その回路基板面を受動部品搭載スペースに当てることができ、多数の受動部品の搭載が可能となる。

【0014】ここに、本発明は、(a) 上面または内部に半導体素子を搭載し、下面に球状金属接続部材を備えた1または2以上の回路基板と、(b) 上面に複数の受動部品を搭載し、下面に球状金属接続部材を備えた少なくとも1つの回路基板とを、該球状金属接続部材で基板間を接続して積層してなる積層半導体装置モジュールである。

【0015】この場合、ノイズを除去したい半導体素子と積層する層が異なっており、半導体素子から遠いと思われるが、実際には回路基板の厚みを介して受動部品と半導体素子は接続されており、マザー基板に受動部品を搭載した場合に比べて距離は非常に近くなる。これは三次元的に実装するためである。従って、ノイズ低減効果も高くなる。

【0016】また、マザー基板に受動部品を搭載した場合には、半導体素子間に受動部品が搭載されるため、半導体装置同士を接続する信号ラインが長くなり、ノイズが大きくなりやすい。従って、本発明のような構成を有するモジュールでは、半導体装置同士の信号ラインが短くなるという点からも、ノイズ低減効果が効果的に発揮されるといえる。

【0017】さらに、半導体素子を搭載しない回路基板を余分に積層するため、コストが上昇するように思えるが、その分だけマザー基板を小型化することができ、トータルコストで考えればむしろ安価なぐらいである。

【0018】

【発明の実施の形態】本発明は、一般に、BGAタイプの積層半導体装置モジュール、即ち、それぞれ上面（または内部）に半導体素子を搭載し、下面に球状金属接続部材を備えたBGAタイプの複数の半導体装置（BGAパッケージ）を上下に積層したモジュールの改良に関する。各BGAパッケージの構造は、従来と同様でよく、特に制限されるものではない。なお、半導体素子を搭載した回路基板は必ずしも複数である必要はなく、1層だけであってもよい。その場合には、本発明に従って、受動部品を搭載した回路基板を積層することにより、積層半導体装置モジュールとなる。

【0019】一般に、BGAパッケージは、半導体素子

を搭載した回路基板の下面に球状金属（金属ボール）からなる外部端子を備えた構造を持つ。球状金属は、銅等のハンダ以外の金属もしくは合金、またはハンダ合金から形成することができる。ハンダ合金の場合には、共晶ハンダと高温ハンダのいずれも可能であるが、球状の形状を保持したい場合には高温ハンダとすることが好ましい。

【0020】回路基板は、その表面に電極と金属配線が形成されている。多層基板では基板内部にも金属配線が形成される。半導体素子は、その表面に設けられた電極から、回路基板の上面の電極とその金属配線を経て、回路基板の下面の外部端子へと電気的に接続される。なお、各回路基板には、基板の表裏の導通のためにスルーホールが一般に設けられる。

【0021】BGAパッケージは、球状金属からなる外部端子を格子状に配置することができ、多端子化に対応可能である。さらに、ピン状の外部端子を格子状に配置したPGAパッケージに比べて、端子間隔を狭くできるので、単位面積当たりの端子数をさらに増加させることができる。

【0022】BGAパッケージは、回路基板の絶縁性材料が樹脂質の材料であるPBGAパッケージと、セラミックス材料であるCBGAパッケージに大別されるが、本発明の回路基板は、そのどちらでもよく、また両者を組合わせて積層することもできる。

【0023】BGAパッケージの積層モジュール化は、その下面に位置する外部端子の球状金属を接続部材として行われる。即ち、上になるBGAパッケージの回路基板の下面にある球状金属を、下になるBGAパッケージの回路基板の上面にある電極と接続させて、電気的接続と機械的な連結を行う。この接続は、球状金属がハンダから作製された場合には、その部分的な熔融により達成してもよいが、外部端子の球形という形状を維持するため、共晶ハンダなどの低融点ハンダを利用して行う方が好ましい。

【0024】本発明によれば、抵抗、コンデンサといった受動部品を搭載するための回路基板を別に用意する。この受動部品搭載用の回路基板は、半導体素子を搭載した回路基板と同種の材料（即ち、セラミックまたはプラスチック材料）から形成することが好ましい。

【0025】受動部品を搭載した回路基板は、積層半導体装置モジュールのどの位置に配置することもできるが、受動部品の搭載数が多い場合には、最上段に配置することが有利である。2段目以下では、回路基板の周辺部は上下の基板の接続用に利用され、搭載用のスペースは中央部に限られるが、最上段であると受動部品の搭載用スペースをより広く確保できるため、2段目以下の場合よりも多数の受動部品を搭載できる。なお、2段目以下に配置する場合などで、1層だけでは受動部品の搭載スペースが確保できない時には、受動部品搭載用の回路

基板を2段以上に増やしてもよい。その場合、2段以上の受動部品搭載用の回路基板は隣接させる必要はなく、任意の段に配置することができる。

【0026】回路基板に搭載する受動部品は、チップ部品、即ち、リード線やピンを持たず、球状金属または金属パンプもしくはパッド等により接続されるチップ化された部品とすることが好ましい。チップ部品は、一般に小型であり、かつ表面実装により簡便に実装できるからである。特に、2段目以下に配置される回路基板に受動部品を搭載する場合には、部品高さに制約があるので、チップ部品とする必要がある。

【0027】一般にマザー基板に多数搭載される受動部品は、バイパスコンデンサや信号波形矯正用の終端抵抗等が多い。これらは、半導体素子近傍に配置することで、ノイズ低減という所期の効果が向上することが知られている。従って、本発明に従ってモジュール内部の回路基板に搭載する受動部品としては、バイパスコンデンサおよび/または終端抵抗を含むことが好ましい。ただし、搭載する受動部品には特に制限はないので、これら以外の機能を果たす、ノイズフィルタ、インダクタ等の受動部品をそれらだけで、或いは上記のバイパスコンデンサや終端抵抗と一緒に搭載してもよい。モジュールの内部に受動部品を搭載することで、半導体素子との距離が短くなり、バイパスコンデンサや終端抵抗によるノイズ除去効果も大きくなる。

【0028】さらに、モジュール内部の専用の回路基板にこれら受動部品を搭載することにより、マザー基板における受動部品用のスペースが不要になるので、マザー基板を小型化することが可能になり、低コスト化に寄与するとともに、実装密度をさらに向上させることができる。

#### 【0029】

【実施例】以下、図面を参照して本発明を説明する。図2(a)～(d)は、本発明の積層半導体装置モジュールの各種の態様の断面を示す説明図である。

【0030】図中、1は半導体素子Aを搭載した回路基板、2はバイパスコンデンサや終端抵抗といった複数のチップ部品（受動部品）Bを搭載した回路基板、3はマザー基板である。各回路基板は下面に球状金属からなる接続部材4を備え、この接続部材によりその下の回路基板またはマザー基板と接続されている。

【0031】図示例では、簡略化のために、半導体素子を搭載した回路基板1は1または2段しか示していないが、その段数は特に制限されず、例えば、4段またはそれ以上であってもよい。また、半導体素子は各回路基板に1つずつしか搭載されていないが、場合によっては2以上の半導体素子を回路基板に搭載することも可能である。さらに、図示例では、半導体素子を搭載した回路基板1にはチップ部品を搭載していないが、搭載するスペースがあれば、チップ部品用の回路基板2に搭載しきれ

ないチップ部品を、半導体素子用の回路基板1に搭載することも、もちろん可能である。

【0032】図2(a)～(c)は、半導体素子を搭載した回路基板（即ち、半導体装置）1を2段積層したモジュールを示し、チップ部品を搭載した回路基板2は、図2(a)では最上段に、図2(b)では中段に、図2(c)では最下段にそれぞれ配置されている。このように、チップ部品を搭載した回路基板2はどの段に配置することもできるが、図2(a)に示すように最上段に配置することが好ましい。この場合であると、チップ部品に接続させるための電極をなるべく最上段回路基板の外周部から確保することによってチップ部品を搭載する面積を広く確保でき、チップ部品の搭載数を増大させることができるからである。

【0033】図2(d)は、半導体素子を搭載した回路基板1が1段だけで、その上にチップ部品を搭載した回路基板2を積層したモジュールを示す。この場合も、回路基板1と2の積層順序を逆にしてもよい。例えば、回路基板1が2以上の半導体素子を搭載したマルチチップタイプのものである場合には、この回路基板を上段にし、下段にチップ部品を搭載した回路基板を配置する方がよい場合もある。

【0034】各回路基板1、2の材料は選ばないが、マザー基板3と同種の絶縁材料であることが、信頼性の観点からは望ましい。マザー基板3は通常は樹脂質のプリント基板であるので、回路基板1、2の材料も同様に樹脂系のものが好ましいことになる。或いは、半導体素子を搭載した回路基板1がセラミック基板である場合には、それに合わせてチップ部品を搭載する回路基板2もセラミック基板とすることもできる。その場合には、最下段の回路基板とマザー基板との間に、接続を強化する手段（例えば、両基板間に樹脂を充填）を付加することが好ましい。

【0035】回路基板1において、半導体素子の搭載方法は特に制限されない。例えば、フリップチップといった表面実装型の方法と、リードフレーム等のワイヤボンディングが必要な方法のいずれでもよい。また、半導体素子は、基板の上面と内部のいずれに搭載することもできる。

#### 【0036】

【発明の効果】従来例の積層半導体装置モジュールは、半導体素子を搭載した回路基板1だけを積層するため、回路基板にスペースの余裕があれば、一部の受動部品は積層半導体装置モジュール内に配置することができるものの、特に受動部品の数が多い場合には、その全部をモジュール内に配置することはできなかった。即ち、半導体素子は積層できるものの、受動部品の多くは積層できないため、マザー基板には受動部品を搭載するためのスペースが必要であり、それほど実装密度が向上しない。また、マザー基板に搭載された受動部品と半導体素子の

距離が遠くなるため、ノイズ低減効果も十分ではなく、近年の高速動作に対応できない。

【0037】これに対し、本発明によれば、従来はマザー基板上に配置されていた受動部品の少なくとも一部、場合によっては全部を、積層半導体装置モジュール内に配置することができる。そのため、マザー基板に必要な受動部品搭載用のスペースが大幅に減り、マザー基板を小型化することができるので、半導体素子の実装密度が著しく向上する。

【0038】本発明では、受動部品の搭載用に回路基板が余分に必要になるが、通常のマザー基板が4～6層の多層基板であることから、同程度の多層基板にしても高コストとはならない。むしろ、マザー基板が著しく小型化できるので、トータルコストはかえって低減できる。

【0039】さらに、ノイズ低減用の受動部品を、従来のマザー基板に搭載する場合より半導体素子の近くに配

置することができ、半導体素子間の信号ラインが長くないため、ノイズ低減効果が高い。そのため、近年の高速動作要求にも十分応えることができる、ノイズの少ない、高性能で信頼性の高い積層半導体装置モジュールにすることができる。

【図面の簡単な説明】

【図1】マザー基板上での従来の受動部品の配置を平面図で示す説明図である。

【図2】本発明に係る積層半導体装置モジュールの各種態様を断面図で示す説明図である。

【符号の説明】

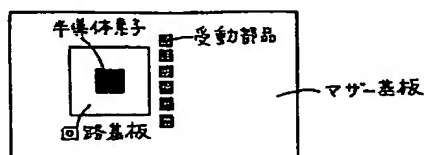
1、2：回路基板

3：マザー基板

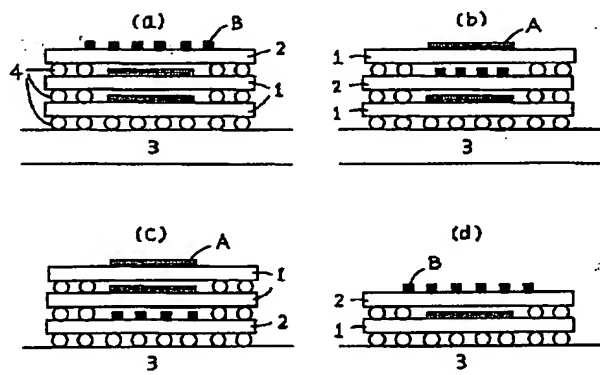
A：半導体素子

B：受動部品（チップ部品）

【図1】



【図2】



**THIS PAGE BLANK (USPTO)**